

PAT-NO: JP404344486A

DOCUMENT-IDENTIFIER: JP 04344486 A

TITLE: VARIABLE DELAY LINE AND
ULTRASONIC DIAGNOSTIC DEVICE
USING THE SAME

PUBN-DATE: December 1, 1992

INVENTOR-INFORMATION:

NAME

KONDO, TOSHIRO

ISHIDA, KAZUNARI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI MEDICAL CORP

N/A

APPL-NO: JP03144057

APPL-DATE: May 21, 1991

INT-CL (IPC): G01S007/52, A61B008/00 , G01N029/22
, G01N029/26 , G01S015/89
, H04R017/00

US-CL-CURRENT: 367/13

ABSTRACT:

PURPOSE: To continuously vary delay time by means of electric signals applied to a control terminal in a delay circuit located in the phasing circuit of an ultrasonic diagnosing unit.

CONSTITUTION: A variable delay line 12 is comprised of an inductance L and variable capacity diodes VC, VC', and a constant current source is driven as the signal source resistance and the terminal resistance of the variable delay line 12. Each variable resistance circuit 13a, 13b in which the difference between the drain-source potential and the reference voltage of a field effect transistor is sampled by an amplifier and which then performs negative feedback of the differential voltage to the gate of the field effect transistor and in which the resistance between the source and the drain of the field effect transistor is variably set correspondingly to the control voltage of a constant current source is used to generate control voltage from the control signal of delay time according to a functional relation determined on the basis of characteristics given from the relation between the reverse voltage and the electrostatic capacity of each variable capacity diode and thereby the resistance value of each variable resistance circuit 13a, 13b is varied with changes in the delay time of the variable delay line 12.

COPYRIGHT: (C) 1992, JPO&Japio

DERWENT-ACC-NO: 1993-014942

DERWENT-WEEK: 199302

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Variable probe signal delay
line for ultrasonic medical
diagnostic equipment - inputs
control voltage to
back-to-back varactor diode
strings connected
respectively to junction
points of series of inductors
NoAbstract

PATENT-ASSIGNEE: HITACHI MEDICAL CORP[HITR]

PRIORITY-DATA: 1991JP-0144057 (May 21, 1991)

PATENT-FAMILY:

| PUB-NO | PAGES | PUB-DATE |
|-----------------------------|-------|------------------|
| LANGUAGE | | MAIN-IPC |
| <u>JP 04344486 A</u> | | December 1, 1992 |
| N/A | 013 | G01S 007/52 |

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL- |
|----------------|-----------------|-------|
| NO | APPL-DATE | |
| JP 04344486A | N/A | |
| 1991JP-0144057 | May 21, 1991 | |

INT-CL (IPC): A61B008/00, G01N029/22 ,
G01N029/26 , G01S007/52 ,
G01S015/89

ABSTRACTED-PUB-NO: JP 04344486A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/14

DERWENT-CLASS: P31 S03 S05 U25

EPI-CODES: S03-E08; S05-D03E; U25-A05;

1

【特許請求の範囲】

【請求項1】インダクタと逆電圧の大きさにより静電容量が変化する可変容量ダイオードを用い、この可変容量ダイオードの逆電圧の変化により遅延時間が変化する可変遅延線を構成すると共に、この可変遅延線の信号源抵抗及び終端抵抗として定電流で駆動する電界効果トランジスタのソース・ドレイン間の電位と基準電圧との差を増幅器で増幅し上記トランジスタのゲートに帰還を施してソース・ドレイン間の抵抗が上記定電流源の制御電圧に対応して設定される可変抵抗回路を用い、且つ可変容量ダイオードの逆電圧を与える制御信号に基づいて可変容量ダイオードの逆電圧と静電容量の関係より決まる関数関係に基づいて遅延時間の制御信号を変換して与えられる電圧でもって上記定電流源の制御電圧とすることにより、上記可変遅延線の遅延時間の制御に伴って可変抵抗回路の抵抗値を変えることを特徴とする可変遅延回路。

【請求項2】複数の振動子素子が配列され超音波を送受波する探触子と、この探触子の各振動子素子からの受波信号に所定の遅延時間を与える遅延回路を有しこれらの遅延回路で位相が揃えられた受波信号を加算して出力する整相回路と、この整相回路で整相された信号を検波する検波器と、この検波器からの出力信号を画像として表示する表示装置とを備えて成る超音波診断装置において、上記整相回路内の遅延回路として、請求項1に記載の遅延回路を用いたことを特徴とする超音波診断装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、制御端子に印加する電気信号により遅延時間を連続的に変化できる遅延回路及びこの遅延回路を整相回路内の遅延回路として用いダイナミックフォーカスを可能とした超音波診断装置に関する。

【0002】

【従来の技術】超音波診断装置は、探触子により被検体に超音波を送受波し、体内からの反射波信号に基づいて被検体内部の情報を得るようになってい。ここで、被検体内部の深さの異なる各部のいずれの場所においても高い分解能の画像が得られるようにするため、体内からの反射波の受信に際し、受波の焦点を時間の経過と共に動的に変化させるダイナミックフォーカスが行われる。このとき、上記受波の焦点あわせは、幅の狭い短冊状に形成された振動子素子を複数個配列した探触子、あるいは同心円状に配置した複数のリング状振動子素子から成る探触子の上記それぞれの振動子素子からの受波信号を、遅延線を用いて適宜遅延して加算することによって行われる。この回路は一般に整相回路と呼ばれている。そして、受波の焦点位置は上記の各々の遅延線の遅延時間により定まるので、ダイナミックフォーカスは、複数の受波信号に与えるべき遅延時間を体内からの反射波の

2

発生深度に応じて動的に変更することによって実現させる。

【0003】上記の遅延時間の変更は、遅延線に適切な間隔でタップを設け、これらのタップを電子スイッチを用いて選択切り換えして行なう。この場合、上記電子スイッチの切り換え時にノイズが発生して、遅延線を介して受波信号に混入することがあり、診断情報に誤った信号が出現することがあった。そこで、このような現象を改善するために、上記電子スイッチを用いばよいがこのような電子スイッチは高価であるので遅延線のそれぞれのタップ毎に多数設けると価格が上昇して経済的でないという欠点があった。

【0004】以上のような問題点に対処して、タップ切換スイッチを備えた遅延線をそれぞれ有し焦点区間を互いに異ならせた二系統の整相回路を交互に使用すると共に、一方の整相回路が使用されている間に他方の整相回路のタップを切り換えるようにした装置が特開昭56-112234号公報で提案されている。この公報に記載された従来の超音波診断装置は、図11に示すように、複数の振動子素子 $1_1, 1_2, \dots, 1_n$ が配列され超音波を送受波するアレー型の探触子2と、この探触子2の各振動子素子 $1_1 \sim 1_n$ からの受波信号に所定の遅延時間を与えて位相を揃え加算して出力する二系統の整相回路3、3'と、これらの整相回路3、3'内の各遅延線の終端抵抗の信号を増幅する増幅器4、4'と、上記二系統の整相回路3、3'からの出力信号を交互に切り換えるための電子スイッチ5と、上記各整相回路3、3'で整相された信号を検波、圧縮する検波器6と、この検波器6からの出力信号を画像として表示する表示装置7とを備えて成っていた。ここで、上記二系統の整相回路3、3'はそれぞれ上記探触子2の各振動子素子 $1_1 \sim 1_n$ からの受波信号を入力して増幅する定電流源出力型の増幅器 $8_1, 8_2, \dots, 8_n; 8_1', 8_2', \dots, 8_n'$ と、遅延線9、9'と、これらの遅延線9、9'に適宜の間隔で設けられたタップを選択切り換えする電子スイッチから成るタップ切換スイッチ $10_1, 10_2, \dots, 10_n; 10_1', 10_2', \dots, 10_n'$ とから成る。なお、図11において、符号11は電子スイッチ5及びタップ切換スイッチ $10_1 \sim 10_n, 10_1' \sim 10_n'$ を切り換え制御するための制御器である。

【0005】このように構成された超音波診断装置においては、上記それぞれのタップ切換スイッチ $10_1 \sim 10_n$ 及び $10_1' \sim 10_n'$ の切り換えは、それらが所属する整相回路3または3'の出力端(4、4')が電子スイッチ5の切り換えにより次段(6)から切り離されている間に行われるので、上記タップ切換スイッチ $10_1 \sim 10_n$ または $10_1' \sim 10_n'$ の動作により発生するノイズが次段以降の信号に混入することはない。したがって、多数必要とされる上記タップ切換スイッチ $10_1 \sim 10_n$ 及び $10_1' \sim 10_n'$ は、ノイズが発生し

てもよい安価なスイッチで間に合わせることができる。このとき、各整相回路3、3'からの出力信号を交互に切り換える電子スイッチ5は、常に信号が流れている部分を切り換えるので、ノイズの発生が少ない高価なスイッチを用いなければならないが、その個数がわずかであることから得に価格が上昇するものではなく、全体としてはコスト上昇を抑えることができる。これにより、ダイナミックフォーカス時の各タップ切換スイッチ10₁~10_nまたは10₁'~10_n'の切り換えにより発生するノイズの影響を受けないようにしていた。

【0006】しかし、このような従来の超音波診断装置においては、図11に示すように、二系統の整相回路3、3'を用意することから、高価な遅延線9、9'を二系統分必要とし、回路規模が大きくなると共に、コストも上昇するものであった。このような問題点に対処するため、インダクタと、逆電圧の大きさにより静電容量が変化する可変容量ダイオードとを組み合わせで構成した可変型の遅延線を用いた整相回路を有する超音波診断装置が特開昭55-151280号公報で提案されている。

【0007】この公報に記載された超音波診断装置を図12を参照して説明する。図12において、符号TDは超音波探触子を示しており、d₁はその個々のエレメントである。符号A₁は前置増幅器群を示しており、e₁はその個々の増幅器である。符号DLは可変型の遅延線群を示しており、f₁はその個々の遅延線である。符号A₂はバッファ増幅器群を示しており、g₁はその個々の増幅器である、また、符号A₃は加算増幅器を示している。さらに、符号Pはマイクロ・コンピュータやファーム・ウェア(ROM等)を利用した制御部を示している。さらにまた、符号DAはデジタル・アナログ変換器を示し、符号MXは信号分配器を示している。

【0008】超音波探触子TDの各エレメントd₁で受信した反射波信号は、それぞれの各前置増幅器e₁で増幅され、各遅延線f₁でそれぞれ遅延され、各バッファ増幅器g₁で増幅され、加算増幅器A₃によって加算増幅される。このとき、制御部Pは、個々の遅延線f₁の遅延量制御信号を順次出力する。この出力信号は、デジタル・アナログ変換器DAによって逐一アナログ信号に変換され、信号分配器MXを通じて順次各遅延線f₁に与えられる。これらの各遅延線f₁に与えられたアナログの制御信号は、その各遅延線f₁ごとに設けられたコンデンサC₁に保持される。この保持時間は数百μs程度でよいので、上記コンデンサC₁は容量の小さなものでよい。

【0009】ここで、個々の遅延線f₁は、例えば図13に示すように構成される。図13において、符号Lはインダクタを示し、VCは可変容量ダイオードを示し、Cは高周波バイパス用のコンデンサを示している。この回路は、通常のLC遅延線の静電容量素子を可変容量ダ

イオードVCで置き換えたものになっている。この各可変容量ダイオードVCのアノードは共通に接続され、そこにアナログ制御信号が与えられる。さらに、その共通接続点はコンデンサCを介して設置される。なお、このコンデンサCは、上記アナログ制御信号保持用のコンデンサC₁と共用できる。そして、可変容量ダイオードVCの静電容量は、前記信号分配器MXを介して与えられるアナログ制御信号に応じて変わるので、各遅延線f₁は、遅延時間が可変なものとなる。

10 【0010】このように構成された超音波診断装置の動作は、次のとおりである。まず、制御部Pは、一つの方位角における受波の開始に先立って、その方位角に受波の指向性を合わせるための個々の遅延線f₁用の制御信号を順次出力する。これらの制御信号は、デジタル・アナログ変換器DAで逐一アナログ信号に変換され、信号分配器MXによって該当する遅延線f₁に順次与えられる。このような制御信号の供給は、方位角切り換えの合間を利用して高速に行われる。そして、上記各遅延線f₁に供給されたアナログの制御信号は、コンデンサC₁に一つの方位角での受波が完了するまで保持される。その後、一つの方位角での受波が完了したら、制御部Pは、次の方位角用の制御信号群を出力し、上記と同様に各遅延線f₁に供給する。以下、同様の動作を繰返し、被検音場について例えばセクタ走査を行なう。このような受波の指向性の切り換えは、制御部Pが順次に出

30 力する信号をアナログ信号に変換して各遅延線f₁の高周波バイパス用のコンデンサCに逐一印加することにより行われるので、比較的簡単な制御機構によって実現できる。この場合、アナログ制御信号によって可変容量ダイオードVCの静電容量を変えたとき、遅延線f₁においては、遅延時間ばかりでなく、特性インピーダンスと信号の減衰量も変化する。制御信号の値が遅延線f₁ごとに異なる。このため、各遅延線f₁を経てきた信号は、ここに条件が異なるので、そのまま加算増幅しても正しい反射合成が行えないという問題があった。

40 【0011】このような問題を解決するために、各遅延線f₁の遅延時間の変更に合わせて、遅延線f₁の終端抵抗の値と、前置の増幅器e₁またはバッファの増幅器g₁のゲインとが補償的に変更されるようになっている。その例を一つの遅延線f₁について示すと、図14のとおりである。図14において、制御部Pは遅延線f₁の遅延時間制御信号のほかに、電界効果トランジスタを備えた終端抵抗Zの制御信号と前置の増幅器e₁のゲイン制御信号とを出力し、これらの制御信号がデジタル・アナログ変換器DAによってデジタル信号に変換され、信号分配器MXを介してそれぞれ遅延線f₁の可変容量ダイオードと、終端抵抗Zの電界効果トランジスタと、可変ゲインの前置増幅器e₁とに与えられる。そして、上記遅延線f₁と終端抵抗Zの制御信号を、超音波反射波の発生点に整相回路の収束点が一致するよう

に、時間と共に変えることによりダイナミックフォーカスが可能となる。このような構成によれば、大きな整相回路を必要としないため、超音波診断装置のコストを低減することができる。

【0012】

【発明が解決しようとする課題】図12～図14に示すように、可変容量ダイオードVCを用いた可変型の遅延線f1と、電界効果トランジスタを備えた終端抵抗Zとを用いた遅延回路は、小型にして必要な機能を有しているが、上記終端抵抗Zが周囲温度によりその抵抗値が変わるため整相回路の特性劣化を生じ、超音波診断装置としての性能が低下するものであった。また、上記終端抵抗Zの電界効果トランジスタの特性に合わせて装置の調整をしなければならなかった。さらに、この可変型の遅延線においては、遅延時間を制御するための可変容量ダイオードVCのバイアス電圧と遅延時間の変化と共に変化する遅延線の特性インピーダンスに一致すべく終端抵抗Zとなる電界効果トランジスタのゲート電圧の二種の制御信号が各々の遅延線において必要となる。この可変遅延線における遅延時間、及び特性インピーダンスと可変容量ダイオードのバイアス電圧の関係は、可変容量ダイオードの接合容量とバイアス電圧の関係により与えられるが、これらの関係は可変容量ダイオードの形名あるいは製品ロットごとの特性のばらつきにより一定でないため上記の二種の制御信号は、可変容量ダイオードの形名あるいは製品ロットが異なる場合の特性の差異によりそれぞれ求めた数値表に基づいて発生することが必要となる。

【0013】そこで、本発明は、このような問題点を解決することができる遅延回路及びこの遅延回路を整相回路内の遅延回路として用いダイナミックフォーカスを可能とした超音波診断装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明による遅延回路は、インダクタと、逆電圧の大きさにより静電容量が変化する可変容量ダイオードとを用い、この可変容量ダイオードの逆電圧の変化により遅延時間が変化する可変遅延線を構成すると共に、この可変遅延線の信号源抵抗及び終端抵抗として、定電流で駆動した電界効果トランジスタのソース・ドレイン間の電位と基準電圧との差を増幅器でとりその差電圧を上記電界効果トランジスタのソース・ドレイン間の抵抗が上記定電流の大きさに対応して可変設定される可変抵抗回路を用い、上記可変遅延線の可変容量ダイオードの逆電圧でもって遅延時間を制御する制御電圧を可変容量ダイオードの逆電圧と静電容量の関係特性で補正した電圧でもって可変抵抗回路の抵抗値を変えるようにしたものである。

【0015】また、上記可変抵抗回路は、特性が揃った複数の電界効果トランジスタを近接配置した素子を備

え、定電流にて駆動される電界効果トランジスタのソース・ドレイン間の電位と基準電圧との差を増幅器でとりその差電圧を上記一方の1個の電界効果トランジスタのゲートに印加し、一方の電界効果トランジスタと共に該他方の電界効果トランジスタのソース・ドレイン間の抵抗が上記定電流の大きさに対応して可変設定されるものとしてもよい。

【0016】さらに上記電界効果トランジスタのソース・ドレイン間の抵抗値が、ソース・ドレイン間の電圧に依存して変化する非直線性を改善するためにソース・ドレイン間に印加される信号電圧をゲートに印加する制御電圧に重畳してゲートに印加されるごとく帰還を施すようにすると効果的である。

【0017】また、上記遅延回路の関連発明としての超音波診断装置は、複数の振動子素子が配列され超音波を送受波する探触子と、この探触子の各振動子素子からの受波信号に所定の遅延時間を与える遅延回路を有しこれらの遅延回路で位相が揃えられた受波信号を加算して出力する整相回路と、この整相回路で整相された信号を検波する検波器と、この検波器からの出力信号を画像として表示する表示装置とを備えて成る超音波診断装置において、上記整相回路内の遅延回路として、上記遅延回路を用いたものである。

【0018】

【作用】上記のように構成された遅延回路は、インダクタと可変容量ダイオードとで構成する可変遅延線の上記可変容量ダイオードの逆電圧変化により遅延時間を変化させると共に、上記可変遅延線の両端に設けられた整合抵抗としての可変抵抗回路の抵抗値を上記可変容量ダイオードの逆電圧に対応した電圧でもって上記可変遅延線の遅延時間の変化に伴って変えることにより、簡単な制御回路でもって常に上記可変遅延線と可変抵抗回路のインピーダンス整合がとれるようにして時間の変化による遅延特性が劣化しないように動作すると共に可変容量ダイオード特性のばらつきのトリミングを容易にする。

【0019】また、上記のように構成された超音波診断装置は、その整相回路内の各々遅延回路において、簡単な制御回路でもって常に可変遅延線と可変抵抗回路のインピーダンス整合をとり、遅延時間の変化による遅延特性が劣化しないようにした遅延回路を用いることにより、一系統の整相回路だけでダイナミックフォーカスを可能とするものである。

【0020】

【実施例】以下、本発明の実施例を添付図面に基づいて詳細に説明する。図1は本発明による遅延回路の実施例を示す回路図である。この遅延回路は、従来の遅延線を用いたものと異なり、その制御端子に印加される電気信号により遅延時間が連続的に変化するもので、その構成を考えるに至った思考過程を図2(a)及び(b)を参照しながら説明する。

7

【0021】まず、図2に従来の整相回路に用いられている集中定数形遅延線の単位部分の回路構成を示す。この単位部分は、図2(a)または(b)に示すようにT形の対象回路とされており、同図(a)の回路はインダクタ $L/2$ 、 $L/2$ とキャパシタ C とを有して成り、定K形低域フィルタと呼ばれるものであり、同図(b)の回路は上記(a)に示した二つのインダクタ $L/2$ が電磁結合しているためその結果得られる等価回路であり、誘導m形低域フィルタと呼ばれるものである。そして、上記の単位部分を多数従属接続することにより集中定数形遅延線が構成される。このような構成の集中定数形遅延線を用いると、必要な遅延時間を分布定数形遅延線よりも小さい信号減衰で、しかも小型化して得ることができる。

【0022】ここで、図2(a)の定K形低域フィルタにおいて、フィルタの両端は特性インピーダンス

$$R_0 = \sqrt{L/C}$$

で終端されているものと仮定する。いま、入力として理想的なステップ電圧を加えると、出力電圧の遅延時間 t_s 及び立ち上がり時間 t_r は、

$$t_s = 1.07 \sqrt{LC} \quad \dots (1)$$

$$t_r = 1.13 \sqrt{LC} \quad \dots (2)$$

となる。この単位部分が n 個従属接続されている場合の全体の遅延時間 t_d 及び立ち上がり時間 t_r は、

$$t_d = n \cdot t_s \quad \dots (3)$$

$$t_r = t_1 \cdot \sqrt{n} \quad \dots (4)$$

となる。よって、上記 t_d 及び t_r が与えられたとき、必要な区間の数 n 及びインダクタ L 並びにキャパシタ C は、次式で与えられる。

$$n = 1.1 \left(\frac{t_d}{t_r} \right)^{1.5} \quad \dots (5)$$

$$L = \frac{t_d \cdot R_0}{1.07 n} \quad \dots (6)$$

$$C = \frac{t_d}{1.07 n R_0} \quad \dots (7)$$

【0023】また、単位部分として図2(b)に示す誘導m形低域フィルタを用いると、遅延時間 t_d と立ち上がり時間 t_r との比が同じ場合は、同図(a)に示す定K形低域フィルタを用いるのと比べて従属接続する区間数 n が16%少なくてよい。このとき、同図(b)において例えば $m = 1.27$ とすると、伝達信号の波形のオーバーシュート及び t_r/t_s に関しては同図(a)に示す定K形低域フィルタを用いるよりも優れている。

【0024】以上述べたように、インダクタ L とキャパシタ C とから成る集中定数形遅延線の遅延時間 t_d は第(3)式により与えられることがわかる。そして、図2

8

(a)または(b)のいずれの形のフィルタを用いても、そのキャパシタ C の容量を変えることにより、集中定数形遅延線の遅延時間を可変とすることができる。

【0025】そこで、本発明においては、図2(a)または(b)に示す単位部分を多数従属接続して成る集中定数形遅延線におけるキャパシタ C を、逆電圧の大きさにより静電容量が変化する可変容量ダイオードで構成することにより、図1に示す本発明による遅延回路が実現される。すなわち、本発明による遅延回路は図1に示すように、インダクタ L と、逆電圧の大きさにより静電容量が変化する可変容量ダイオード VC 、 VC' とを用い、この可変容量ダイオード VC 、 VC' の逆電圧の変化により遅延時間により遅延時間が変化する可変遅延線12を構成すると共に、この可変遅延線12の信号源抵抗及び終端抵抗として、定電流源で駆動される電界効果トランジスタのソース・ドレイン間の電位と基準電圧との差を増幅器でとりその差電圧を上記電界効果トランジスタのゲートに負帰還を施し、該電界効果トランジスタのソース・ドレイン間の抵抗が上記定電流源の電流値に対応して可変設定される可変設定回路13a、13bを用い、上記定電流源の制御信号として可変容量ダイオードの逆電圧を発生させる制御信号と同一のものをを用いる構成としている。

【0026】上記可変遅延線12は、インダクタ L 、 L と、複数個の可変容量ダイオード VC 、 VC' を一組としたものとをT形の対象回路に接続して成る単位部分を、多数従属接続して構成されている。そして、一方の可変容量ダイオード VC の陰極と、他方の可変容量ダイオード VC' の陰極とが共通接続されると共に、上記一方の可変容量ダイオード VC の陽極はそのまま接地され、他方の可変容量ダイオード VC' の陽極はインダクタ L 及び抵抗 R を介して接地されている。このため、上記の各可変容量ダイオード VC と VC' には、同じ直流電位が印加されることとなる。また、上記2個の可変容量ダイオード VC 、 VC' の陰極同士を共通接続した箇所には、制御部14からそれぞれ抵抗 r を介して逆電圧 v が印加され、この逆電圧 v によって静電容量を変えて遅延時間が制御される。なお、上記抵抗 r は、各組の可変容量ダイオード VC 、 VC' に制御信号線15を介して信号が流れ、それぞれの可変容量ダイオード VC 、 VC' の組相互間で干渉するのを防止するために設けたものである。

【0027】なお、図1において、符号 R は可変遅延線12の入力端 a または出力端 b をそれぞれ接地するための抵抗を示しており、上記可変遅延線12の信号源抵抗または終端抵抗の一部となるもので、この抵抗 R の接地により各組の可変容量ダイオード VC 、 VC' の陽極の直流電位は接地レベルと同じにされている。また、符号 C は直流阻止用のカップリングコンデンサである。この抵抗 R は可変抵抗回路の抵抗に比べ十分大な値にしてお

くと、可変抵抗の抵抗値を可変遅延線の特性インピーダンスと等しくすることにより整合をとることができる。

【0028】ここで、上記可変遅延線12は、各組の可変容量ダイオードVC、VC'の逆電圧の大きさによりその静電容量を変化させると、遅延時間と共に特性インピーダンスも変化する。このことから、信号の入出力端a、bでインピーダンスの不整合による信号波形の変形や伝送効率の変動が生じないように、信号源抵抗と終端抵抗は、遅延時間の制御に対応して常に上記可変遅延線12と整合するように変化させる必要がある。そのため、上記信号源抵抗と終端抵抗の部分には、電気信号により抵抗値が変化する可変抵抗回路13a、13bがそれぞれ設けてある。この可変抵抗回路13a、13bは、図3に示すように、特性が揃った2個の電界効果トランジスタQ₁、Q₂を近接配置した素子を備え、制御電圧E_cにより制御される定電流源にドレイン接続された方の電界効果トランジスタQ₂のソース・ドレイン間の電位と基準電圧(E_r)との差を増幅器16でとりその差電圧を上記一方の電界効果トランジスタQ₁のゲートに負帰還を施すと共に、このゲート電圧を他方の電界効果トランジスタQ₁のゲートに印加し、該他方の電界効果トランジスタQ₁のソース・ドレイン間の抵抗が上記制御基準電圧(E_c)に対応して可変設定されるものである。そして、上記2個の電界効果トランジスタQ₁、Q₂としては、接合型電界効果トランジスタが用いられ、

$$V_{gs} = (R_{ds} \cdot I - E_r) A_0$$

$$\therefore R_{ds} = -K \cdot (R_{ds} \cdot I - E_r) A_0 \quad \dots (9)$$

となる。ここで、上記増幅器16の利得A₀が十分に大きく、 $-KA_0 \gg 1$ ならば、 $R_{ds} / -KA_0 \approx 0$ となり、第(9)式から

$$R_{ds} \cdot I - E_r = 0$$

となる。従って、

$$R_{ds} = E_r / I = E_r / k E_c \quad \dots (10)$$

となる。ここにkは定数である。この第(10)式からソース・ドレイン間の抵抗R_{ds}は、上記制御電圧E_cに反比例した値に制御することができる。この場合、ゲート電圧V_{gs}により制御される接合型の電界効果トランジスタQ₂のソース・ドレイン間の抵抗R_{ds}が温度により変動しても、即ち温度により前記第(8)式の定数Kが変化しても、増幅器16の利得A₀が十分に大きいと、上記抵抗R_{ds}は制御電圧E_rに対応した値に設定することができる。

【0031】一方、図3において、2個の電界効果トランジスタQ₁、Q₂は特性の揃ったものを用いており、これらが近接配置されていることから両者間の温度差は少なく、一方の電界効果トランジスタQ₂のゲートに印加したゲート電圧V_{gs}を他方の電界効果トランジスタQ₁のゲートに印加すると、この電界効果トランジスタQ₁のソース・ドレイン間の抵抗は、上記一方の電界効果ト

られ、これら2個の接合型電界効果トランジスタを例えば同一のシリコン基板上に作成すると共に近接して配置することにより、上記2個の電界効果トランジスタQ₁、Q₂間の温度差が非常に小さい構造の素子とされている。

【0029】上記一方の電界効果トランジスタQ₂のドレイン電極には、定電流源17が接続されており、該電界効果トランジスタQ₂のドレイン電位を基準電圧E_rとの差電圧が増幅器16により増幅され、この出力電圧が上記電界効果トランジスタQ₁のゲートに負帰還を施すように結線されている。したがって、上記一方の電界効果トランジスタQ₂が非飽和領域で動作するように定電流源17に供給する電圧+V及び電流Iを定めると、ゲート電圧で制御される電界効果トランジスタQ₂のソース・ドレイン間の抵抗R_{ds}により、該電界効果トランジスタQ₂のドレイン電圧は、 $R_{ds} \cdot I$ となる。

【0030】上記ソース・ドレイン間の抵抗R_{ds}は、ゲート電圧V_{gs}に制御されるため、その制御定数をKとすると、

$$R_{ds} = -K \cdot V_{gs} \quad \dots (8)$$

となる。そして、上記ゲート電圧V_{gs}は、電界効果トランジスタQ₂のドレイン電圧 $R_{ds} \cdot I$ と基準電圧-E_rとの差電圧を増幅器16により増幅したものであるため、該増幅器16の利得をA₀とすると、

トランジスタQ₁のソース・ドレイン間の抵抗R_{ds}と全く同じとなる。以上のような動作により、他方の電界効果トランジスタQ₁のソース・ドレイン間の抵抗は、基準定電圧源17の電圧E_rを正確に定めると、2個の電界効果トランジスタQ₁、Q₂の特性が揃っている場合は、その特性に依存することなく、制御部14から出力される制御電圧E_cに反比例した値に設定することができる。

【0032】図4(a)～(c)は図3に示す制御信号E_cによりその大きさが制御できる定電流源17の内部構成を示す回路図である。ここに示した定電流源17'はバイポーラトランジスタの出力抵抗を利用したもので、符号T_rが定電流トランジスタであり、定電流Iを図3に示す電界効果トランジスタQ₂に供給するようになっている。そして、バイアストランジスタT_rの電流I₁は、T_rからなる電圧・電流変換回路により与えられ、T_rの順方向電流増幅率h_{fe}が十分大きいと次式で与えられる。

$$I_1 = (E_c - V_{be}) / R$$

となる。また、トランジスタのエミッタ電流I_eは、エミッタ・ベース間の電圧V_{be}とは次式に示す関係がある。

11

$$I_e = I_s \cdot \exp \frac{q}{kT} V_{be} \quad \dots (11)$$

ここで、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷、 I_s は飽和電流でありエミッタ面積に比例する量である。従って、2個のトランジスタ T_{r1} 、 T_{r2} のエミッタ面積をそれぞれ A_1 、 A_2 とすると、これらを集積した場合に両トランジスタ T_{r1} 、 T_{r2} を近接して配置すれば、定電流トランジスタ T_{r2} のコレクタ電流 I は、飽和電流 I_s においてエミッタ面積以外の項はほとんど同一となるためベース電流を無視して、次のようになる。

$$I = \frac{A_2}{A_1} I_1 \div \frac{V}{R_1} \cdot \frac{A_2}{A_1} \quad \dots (12)$$

そして、この定電流 I が電界効果トランジスタ Q_2 に供給される。従って、制御電圧 E_c の大きさに比例した定電流が電界効果トランジスタ Q_2 に与えられる。

【0033】次に図4(b)に示した定電流源17'は、上述の図4(b)の定電流源17'を改良したもので、この回路においては、定電流トランジスタ T_{r2}' のベース電流はバイアス電流 I_1 から引き出されるが、バイアストランジスタ T_{r1}' のベース電流は上記定電流トランジスタ T_{r2}' から供給されるようになっている。従って、ベース電流の影響は著しく低減される。ここで、全てのトランジスタ T_{r1}' 、 T_{r2}' 、 T_{r3}' の順方向電流増幅率 h_{fe} を一定とすると、定電流 I は次式で与えられる。

$$I = I_1 \left(1 - \frac{2}{h_{fe}^2 + 2h_{fe} + 2} \right) \quad \dots (13)$$

従って、 h_{fe} を例えば100とすると、誤差率は0.02%以下となり、集積回路化したものを電界効果トランジスタ Q_2 に接続して所要の機能を発揮することができる。この回路においても(a)の回路と同様電流 I_1 は T_{r4} と抵抗 R からなる電圧・電流変換回路により与えられ、制御電圧 E_c に比例した定電流源として駆動される。

【0034】図4(c)は(a)に示した定電流回路17'の電圧・電流変換回路として利得が十分大きくすることができ、トランジスタのベース・エミッタ間の電圧 V_{be} が温度により変化するため温度ドリフトを少なくした差動増幅IC演算増幅器 A_0 を用いたものである。ここで抵抗 R に流れる電流 I_1 による電圧 $I_1 R$ は制御電圧 E_c と比較され、演算増幅器 A_0 によりトランジスタ T_{r4} を駆動して負帰還を施すようになっている。この A_0 、 T_{r4} 、 R からなる電圧・電流変換回路により I_1 なる定電流が与えられるため(a)に示した回路より精度が向上する。

【0035】なお、図3に示した可変抵抗回路13a、13bにおいては、電界効果トランジスタ Q_1 、 Q_2 のソース・ドレイン間の電圧 V_{ds} とドレイン電流とは、正確に比例しないため信号が非線形歪を生じ、信号の大き

12

さにより図1に示す可変遅延線12と整合とがとれないという問題が生ずる。このような問題については、図5に示す回路構成によりゲートに負帰還を施すことによって、改善することができる。

【0036】図6は可変抵抗回路13a、13bの他の実施例を示す回路図である。図3においては、特性の揃った2個の電界効果トランジスタ Q_1 、 Q_2 を用いた例を示したが、この実施例による可変抵抗回路13a、13bは、一つの電界効果トランジスタ Q_2 のソース電位を基準電圧(E_r)との差を増幅器16でとり、その差電圧を上記電界効果トランジスタ Q_2 のゲートに負帰還を施すと共に、制御電圧 E_c により制御される定電流源17に接続され定電流動作される。該電界効果トランジスタ Q_1 のソース・ドレイン間の抵抗が上記制御電圧(E_c)に対応して可変設定されるものである。そして、上記電界効果トランジスタ Q_1 としては、接合型電界効果トランジスタが用いられている。なお、ここで抵抗 R_2 とコンデンサ C_2 はローパスフィルタで、端子C d間に印加される高周波信号が増幅器16に印加しないようにしたもので、端子C d間の高周波信号により増幅器16の帰還ループは動作しないようにするものである。

【0037】図6の実施例の場合、電界効果トランジスタ Q_1 のドレインとソース間の抵抗 R_{ds} が増幅器16を介した負帰還による制御により所定の値に設定されるが、上記電界効果トランジスタ Q_1 の温度変動による特性の変化を補償するための制御を超音波エコー信号より十分遅くして、制御系の応答速度を下げるために増幅器16の周波数帯域を超音波エコー信号の周波数より小さくすると、上記電界効果トランジスタ Q_1 のソース・ドレイン間の抵抗 R_{ds} を図1に示す可変遅延線12の整合抵抗として用いることができる。図6においては、抵抗 R_2 とコンデンサ C_2 とによりローパスフィルタを構成し、超音波信号が増幅器16に入力しないようになっている。そのため、端子cとdの間の超音波信号により電界効果トランジスタ Q_2 のドレインに印加される電圧は、帰還ループによりゲートには伝達されないため、図3に示した回路の一方の電界効果トランジスタ Q_2 と同様に、上記の抵抗 R_{ds} は、制御電圧 E_c に反比例して一定に制御され、上記端子c、d間の抵抗を可変遅延線12の整合抵抗として用いることができる。

【0038】図7は可変抵抗回路13a、13bの更なる他の実施例を示す回路図である。この実施例は、図3に示す回路に対し図5に示す回路を適用して、2個の接合型電界効果トランジスタ Q_1 、 Q_2 に対し抵抗 R_1 、 R_2 により負帰還を施し、ソース・ドレイン間の電圧 V_{ds} とドレイン電流 I_d の非直線性を改善したものである。なお、電圧・電流変換回路を持った定電流源17としては、図4に示す回路を適用すればよい。この場合は、制御電圧 E_c により端子c、d間の抵抗を上記電圧 E_c に反比例した値に制御でき、且つ2個の電界効果トランジ

13

スタ Q_1 、 Q_2 の特性が揃っていれば、その量産時の特性に偏差があっても、周囲温度の変化により特性が変わっても十分大きな利得 A_0 の増幅器16を用いることにより、制御電圧 E_c による抵抗設定に誤差が生じない。

【0039】以上説明したように、図3及び図6並びに図7に示した電気信号 E_c の大きさに反比例して抵抗を制御可能な可変抵抗回路13a、13bを、可変遅延線の整合抵抗として用いることにより可変遅延線12に接続され高周波信号（例えば1～10MHz）が流れて動作する部分は、他方の電界効果トランジスタ Q_1 のソース・ドレイン間のみで、他の部分は抵抗値を制御する低周波信号を扱うため、高速の素子を必要としない。従って、2個の電界効果トランジスタ Q_1 、 Q_2 と定電流源17のみでビデオ信号周波数に対応した設計を行えばよい。また、回路実装上も高速の素子及び高周波信号を扱う部分が少ないため、製作コストが廉価になる。以上の説明は電界効果トランジスタとして接合型電界効果トランジスタを取り上げ説明したが、広いソース・ドレイン間の電圧にたいしドレイン電流が比例する特性のMOS形電界効果トランジスタ（例えばソニー製のCXD75 20 00M）を用いてもよい。

【0040】以上図3、図4、図5、図6、図7に示した可変抵抗回路を整合抵抗として用いた可変遅延線とその制御回路の実施例を図8に示す。ここで13aと13*

$$Z(v) = K' \sqrt{\frac{L}{C_v(v)}} = \frac{K''}{\sqrt{C_v(v)}} \quad \cdots (15)$$

ここに K' 、 K'' は比例定数である。ここでADコンバータ18の入力データを表す変数を D とし、

$$D = \sqrt{C(v)}$$

とおく。即ち図8のROM18''はその入力データ D と出力データ V との間において

$$D = \sqrt{C(v)}$$

なる関係の数値が表として記入されているものとする。ここでADコンバータ18'は入力データ V にたいして v なる電圧 v が出力されるようになっているため $v=V$ と置くことができるため

$$D = \sqrt{C(v)}$$

となる。従って式(15)より

$$Z(v) = \frac{K''}{D} \quad \cdots (16)$$

となる。一方可変抵抗13a、13bの抵抗値は式(10)より明らかな如く

$$R_{ds} = \frac{E_r}{k E_c}$$

となる。ここでADコンバータの出力電圧 E_c はデータ D により与えられ $E_c=D$ なる関係にあるため、

$$R_{ds} = \frac{E_r}{k D} \quad \cdots (17)$$

となる。式(16)と(17)よりROM18''に、ここで用いられる可変容量ダイオードのバイアス電圧と静

14

*bは既に説明した如く定電流源の大きさが制御電圧 E_c によって制御することにより抵抗値 R_{ds} が式(10)で示される如く E_c と反比例する特性を持つ可変抵抗回路である。インダクタ L 、可変容量ダイオード VC 、 VC' とこれらのバイアス電圧 v は抵抗 r を介して印加するように構成された可変遅延線は、結合コンデンサ C を介して整合用可変抵抗と高周波変圧器 T に接続されている。上記の可変抵抗回路13aと13bの制御電圧 E_c はこの可変遅延線の制御データ D により定まるADコンバータ18の出力電圧より与えられ、可変容量ダイオードのバイアス電圧 v はADコンバータ18'より与えられるように構成されている。可変容量ダイオード VC 、 VC' の静電容量 C_v とそのバイアス電圧 v との間の関係例を図9に示す。このような C_v と v の関係曲線は、可変容量ダイオードの形名により異なる特性となり、同じ形名のものでもロットが変わると異なることがある。ここで可変容量ダイオードの静電容量をバイアス電圧 v の関数として $C_v(v)$ と表すとバイアス電圧 v の関数としての可変遅延線の遅延時間 $T(v)$ は次の如く表せる。

$$T(v) = K \sqrt{C_v(v) \cdot L} \quad \cdots (14)$$

一方、バイアス電圧 v の関数としての特性インピーダンス $Z(v)$ は次の如く表せる。

電容量の関係より与えられる適切な表を記入することにより可変抵抗の値 R_{ds} は、制御信号 D の変化により変化する可変遅延線の特性インピーダンスの変化に対応した値に追従して変化し、常にインピーダンス整合がとれるようになる。

【0041】なお、図1において、可変遅延線12の入力端aには、電圧・電流変換器19が設けられており、この電圧・電流変換器19を介して入力信号電圧が定電流信号に変換され、この定電流信号で上記可変遅延線12を駆動するようになっている。また、可変遅延線12の出力端bには、掛算器20が設けられている。この掛算器20は、上記可変遅延線12の特性インピーダンス R_0 が変わると、該可変遅延線12の出力端bに現われる信号電圧は $1/R_0$ となり、 R_0 の大きさにより変化するため、これを補正するものである。そして、この掛算器20の倍率は、制御部14から送出される制御電圧 E_c で制御されるようになっている。この制御部は図8に示したADコンバータ18、18'、ROM18''から構成されたものである。さらに、図1において、符号 T_1 、 T_2 、 T_3 、 \dots 、 T_n は可変遅延線12の適宜の位置に設けられたタップを示している。これらのタップ $T_1 \sim T_n$ を適切に選ぶことにより、複数の信号にそれぞれ一定の関係で遅延を与えた後に加算する操作が可能となる。

【0042】図10は図1に示す遅延回路の関連発明としての超音波診断装置の実施例を示すブロック図である。この超音波診断装置は、電子セクタ走査形とされており、例えば短冊状に形成された複数の振動子素子 $1_1, 1_2, \dots, 1_n$ が一行上に配置され超音波を送受波する探触子2と、この探触子2の各振動子素子 $1_1 \sim 1_n$ からの受波信号を入力し時間と共に利得を増加させ検診深度に応じて信号強度を補正する複数の可変利得増幅器 $2_{21}, 2_{22}, \dots, 2_{2n}$ と、これら各可変利得増幅器 $2_{21} \sim 2_{2n}$ からの出力信号に所定の遅延時間を与えて位相を揃え加算して出力する整相回路23と、この整相回路23で整相された信号を検波する検波器6と、この検波器6からの出力信号を画像として表示する表示装置7とを備えてなる。そして、上記整相回路23は、探触子2の各振動子素子 $1_1 \sim 1_n$ で受波するエコー信号のチャンネル数の分だけ並列に設けられ各可変利得増幅器 $2_{21} \sim 2_{2n}$ からの出力信号に所定の遅延時間を与える複数の遅延回路 $2_{41}, 2_{42}, \dots, 2_{4n}$ と、これらの遅延回路 $2_{41} \sim 2_{4n}$ の出力側にそれぞれ接続され各遅延回路 $2_{41} \sim 2_{4n}$ からの出力信号の電圧を定電流信号源に変換する電圧・電流変換回路 $2_{51}, 2_{52}, \dots, 2_{5n}$ と、 n チャンネルの入力信号線及び m チャンネルの出力信号線が図示のように交差しその交点にそれぞれアナログスイッチ26、26、…が配設されたクロスポイントスイッチ27と、このクロスポイントスイッチ27の出力信号線に適宜の間隔で m チャンネル分設けたタップがそれぞれ接続されたタップ付LC遅延線28とからなる。なお、上記タップ付LC遅延線28の両端部に接続された抵抗 R は、該タップ付LC遅延線28の特性インピーダンスとインピーダンスマッチングをとった終端抵抗である。また、前記可変利得増幅器 $2_{21} \sim 2_{2n}$ の動作は、制御部14からの制御信号 S_1' で制御されるようになっている。

【0043】ここで、本実施例においては、上記整相回路23内の遅延回路 $2_{41} \sim 2_{4n}$ としては、図1に示す回路構成とされその制御端子に入力する電気信号（制御信号） E_c, v, E_c' により遅延時間が連続的に変えられる遅延回路が用いられている。この遅延回路 $2_{41} \sim 2_{4n}$ は、制御部14からの制御信号 S_2' （図1における制御端子に印加される電気信号 E_c, v, E_c' ）により、時間と共に超音波ビームの収束点を深い所へ移動するようにその収束位置が制御されるようになっている。そして、上記タップ付LC遅延線28の終端抵抗 R に現われる信号電圧は、上記各遅延回路 $2_{41} \sim 2_{4n}$ により適宜遅延を与えられた後、さらにクロスポイントスイッチ27により選択されたタップ位置に対応した遅延時間に相当する遅延が与えられ、それぞれの信号が加算される。従って、上記の遅延回路 $2_{41} \sim 2_{4n}$ は、タップ付LC遅延線28のタップ間隔で決まる遅延時間の分解能をさらに細分してその遅延時間の分解能

を上げるという役割も持っている。このとき、上記タップ付LC遅延線28の遅延時間は、主に超音波ビームの偏向方向を設定するための役割を行うこととなる。なお、上記遅延回路 $2_{41} \sim 2_{4n}$ とタップ付LC遅延線28との併用により、タップ付LC遅延線28のタップ間隔はある程度粗にしても問題なく、クロスポイントスイッチ27のアナログスイッチ26の数を少なくすることができる。また、上記クロスポイントスイッチ27の動作は、制御部14からの制御信号 S_3 で制御されるようになっている。さらに、上記の各遅延回路 $2_{41} \sim 2_{4n}$ は、必要に応じて複数段を従属接続したものをを用いてもよい。

【0044】このような構成により、本実施例の電子セクタ走査形の超音波診断装置においては、整相回路23内の各遅延回路 $2_{41} \sim 2_{4n}$ がその制御端子への制御信号の入力だけで遅延時間が連続的に変えられるので、一系統の整相回路23だけで超音波ビームの収束点を連続的に移動するダイナミックフォーカスを実現できる。

【0045】

【発明の効果】本発明による遅延回路（図1）は以上のように構成されたので、その制御端子に印加する制御信号だけで遅延時間と可変遅延線の整合抵抗を連続的に変化させることができる。従って、従来のような遅延線に適宜の間隔で設けられたタップを電子スイッチを用いて選択切り換えすることなく、その切り換え時にノイズが発生するようなことを完全に防止することができる。このことから、他の回路部品等にノイズが混入するのを防止して、装置としての信頼性を向上することができる。とくに、可変遅延線12の特性インピーダンスと整合をとるために設けた可変抵抗回路13a、13bは、電界効果トランジスタのドレイン電位と制御電圧との差を増幅器でとりその差電圧を上記電界効果トランジスタのゲートに負帰還を施し該電界効果トランジスタのソース・ドレイン間の抵抗が上記トランジスタの定電流源の制御電圧に対応して可変設定され、且つ可変遅延線を構成する可変容量ダイオードのバイアス電圧を静電容量の関係に対応したデータを記憶したROMからなる構成とすることにより、遅延時間と整合抵抗の制御信号が同一の簡単な回路構成で、遅延時間を変化させる動作時に上記可変容量ダイオードの特性に対応して常に整合がとれる可変抵抗回路の達成とここに用いる上記電界効果トランジスタの特性の偏差及び周囲温度による影響が少なく、一定且つ良好な可変遅延回路特性を達成することができる。

【0046】また、本発明による超音波診断装置は以上のように構成されたので、整相回路内の遅延回路として図1に示す回路構成の遅延回路を用いることにより、その制御端子に印加する電気信号だけで遅延時間を連続的に変化させて所望の位置に超音波ビームの収束点を移動することができる。従って、従来の整相回路内の遅延線

のようにノイズが発生することがないので、二系統の整相回路23だけでダイナミックフォーカスを実現することができる。このことから、回路規模を小さくすることができ、装置を小型化できると共にコスト低下を図ることができる。また、従来のような二系統の整相回路からの信号を切り換えて表示するのではなく、一系統の整相回路からの信号をそのまま表示装置7に表示するだけであるので、画像に明暗の段差が発生することなく、均一な画質の画像が得られ、診断をやり易くすることができる。

【図面の簡単な説明】

【図1】本発明による遅延回路の実施例を示す回路図

【図2】上記の遅延回路の構成を考えるに至った思考過程を説明するための回路図

【図3】可変抵抗回路の内部構成の一例を示す回路図

【図4】上記可変抵抗回路内の定電流源の内部構成例を示す回路図

【図5】図3に示す可変抵抗回路の問題点を改善するため電界効果トランジスタのゲートに負帰還を施す回路構成を示す回路図

【図6】可変抵抗回路の他の実施例を示す回路図

【図7】可変抵抗回路の更に他の実施例を示す回路図

【図8】本発明による遅延回路の第二の実施例を示す回路図

【図9】端子間容量対逆電圧特性を示すグラフ

【図10】本発明による遅延回路の関連発明としての超音波診断装置の実施例を示すブロック図

【図11】従来の超音波診断装置を示すブロック図

【図12】超音波診断装置における従来の整相回路の例を示す回路図

【図13】上記の整相回路における個々の遅延線の構成

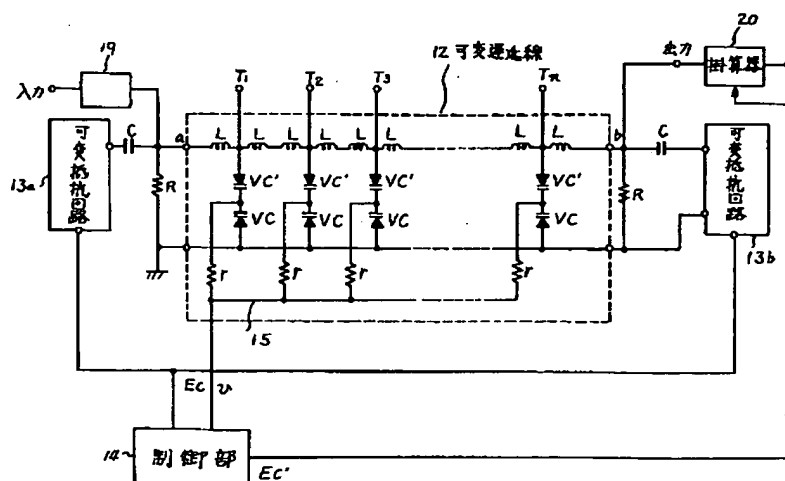
を示す回路図

【図14】図11に示す整相回路の一部を示す要部回路図

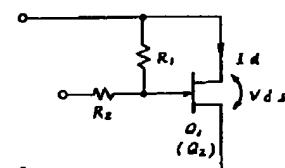
【符号の説明】

- | | |
|----------------|------------|
| 1 | 振動子素子 |
| 2 | 探触子 |
| 6 | 検波器 |
| 7 | 表示装置 |
| 12 | 可変遅延線 |
| 10 | 13a 可変抵抗回路 |
| | 13b 可変抵抗回路 |
| 14 | 制御部 |
| 16 | 増幅器 |
| 17 | 定電流源 |
| 18 | ADコンバータ |
| 18' | ADコンバータ |
| 18'' | ROM |
| 19 | 電圧・電流変換器 |
| 20 | 掛算器 |
| 20 | 21 高周波変圧器 |
| 23 | 整相回路 |
| 24n | 遅延回路 |
| L | インダクタ |
| VC | 可変容量ダイオード |
| VC' | 可変容量ダイオード |
| Q ₁ | 電界効果トランジスタ |
| Q ₂ | 電界効果トランジスタ |
| v | 送電圧 |
| E _c | 制御電圧 |
| 30 | D 制御信号 |

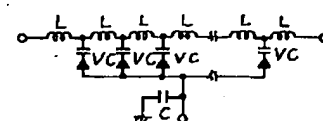
【図1】



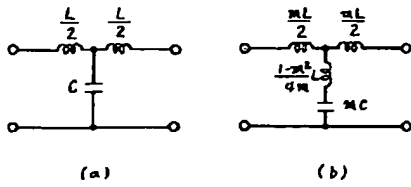
【図5】



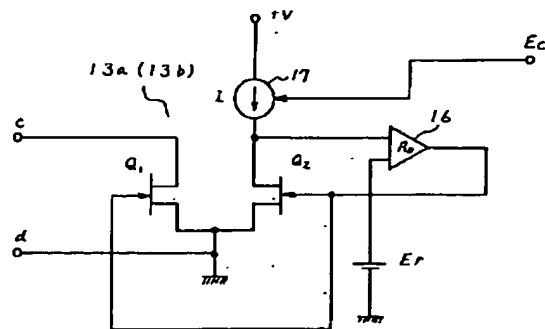
【図13】



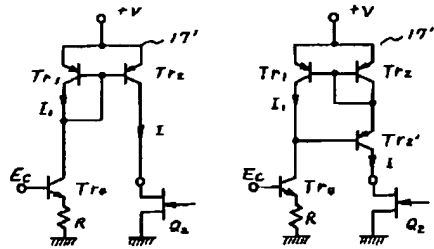
【図 2】



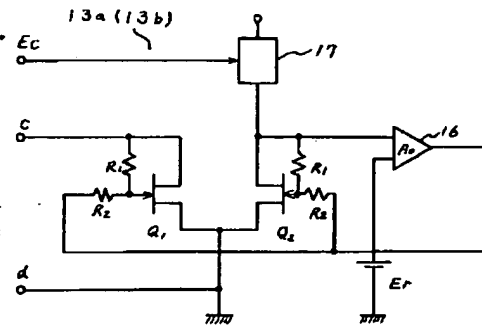
【図3】



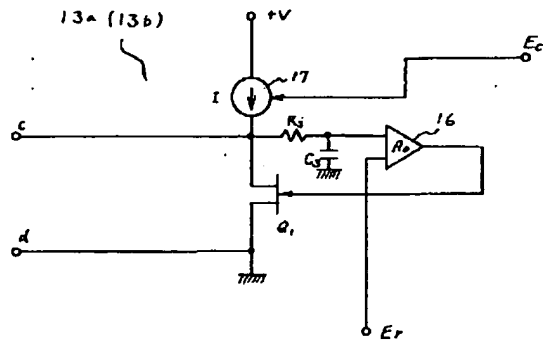
【図4】



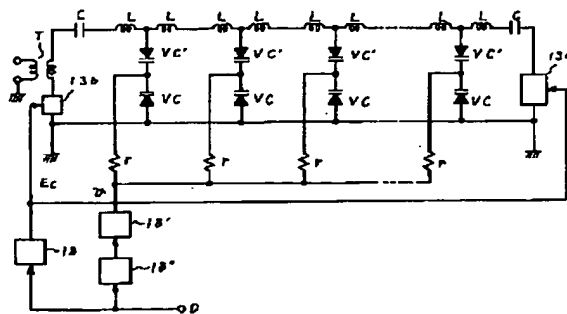
【図7】



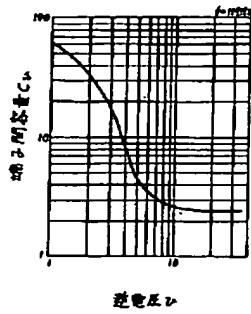
【図 6】



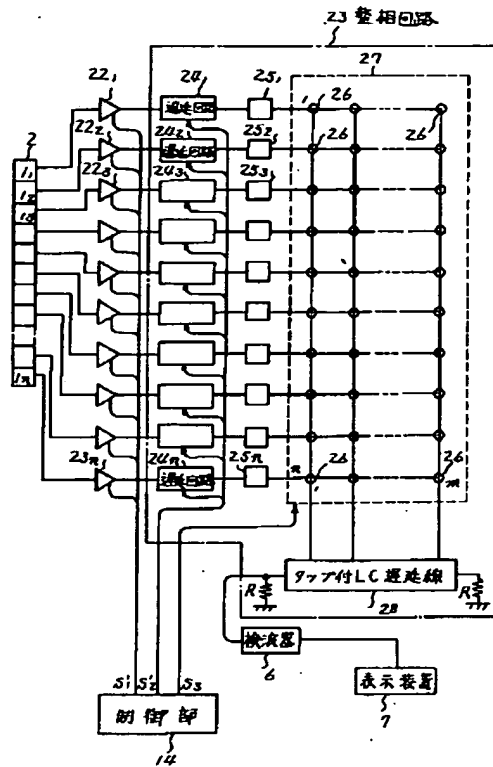
【圖 8】



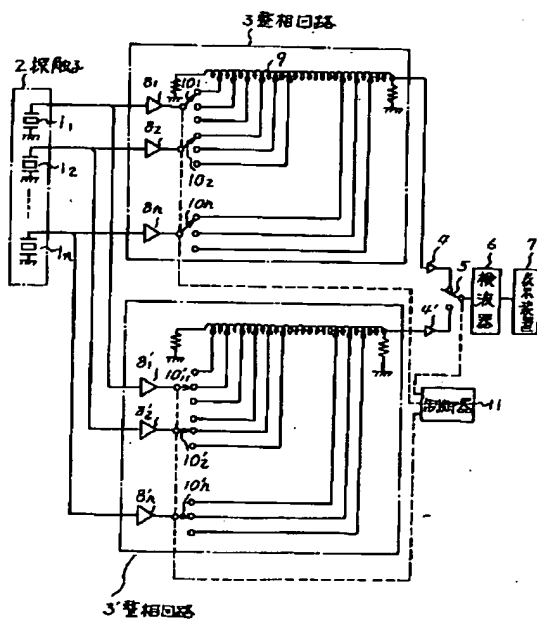
【図9】



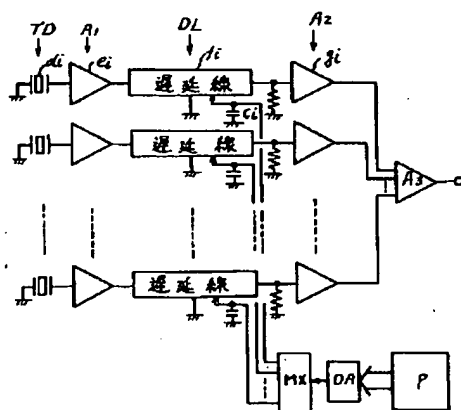
【図10】



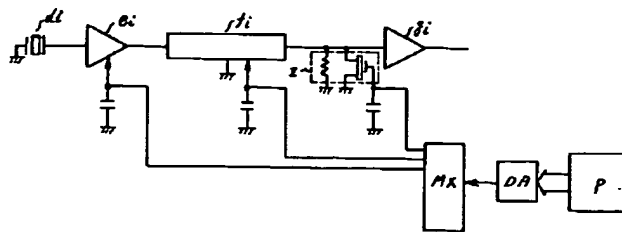
【図11】



【図12】



【図14】



フロントページの続き

(51) Int. Cl.⁵

H04R 17/00

識別記号

庁内整理番号

F I

技術表示箇所

3 3 2 A 7350-5H